

单元测试 2-存储器

一、概念（选择、填空）

（一）选择题

1. 下列关于存储单位不正确的是（ ）。
A、1TB=1024GB B、1MB=1024KB C、1KB=1024B D、1GB=1024KB
2. 存储系统的分级结构按速度排序(用>表示速度更快)，下列正确的是（ ）。
A、cache>主存>光盘>磁盘 B、cache>磁盘>主存>光盘
C、cache>主存>磁盘>光盘 D、cache >光盘>磁盘>主存
3. 存储周期是指（ ）。
A. 存储器的读出时间 B. 存储器的写入时间
C. 存储器进行连续读或写操作所允许的最短时间间隔
D. 存储器进行连续写操作所允许的最短时间间隔
4. 某 SRAM 芯片，其存储容量为 $64K \times 16$ 位，该芯片的地址线和数据线数目为（ ）。
A. 64, 16 B. 16, 16 C. 64, 8 D. 16, 64
5. 29. 算术/逻辑运算单元 74181ALU 可完成_____。
A、16 种算术运算功能 B、16 种逻辑运算功能
C、16 种算术运算功能和 16 种逻辑运算功能 D、4 位乘法运算功能和除法运算功
6. MROM 是指（ ）。
A、掩膜只读存储器 B、可编程只读存储器
C、可擦除可编程只读存储器 D、电可擦除只读存储器
7. 位扩展法用来扩展存储器的（ ）。
A、容量 B、字长 C、容量和字长 D、存取速度
8. 字扩展法用来扩展存储器的（ ）。
A、容量 B、字长 C、容量和字长 D、存取速度
9. 字位扩展法用来扩展存储器的（ ）。
A、容量 B、字长 C、容量和字长 D、存取速度
10. 若用 $1M \times 4$ 位的存储芯片组成 64MB 的存储器，需要这种芯片多少个（ ）。
A、64 个 B、64M 个 C、128 个 D、32 个
11. 采用虚拟存储器的主要目的是（ ）。

- A. 提高主存储器的存取速度 B. 提高外存储器的存取速度
C. 扩大主存储器的存储空间 D. 扩大外存储器的存储空间
12. 存储器是计算机系统的记忆设备，主要用于_____
- A. 存放软件 B. 存放程序
C. 存放程序和数据 D. 存放微程序
13. EEPROM 是指 _____
- A. 电可擦除只读存储器
B. 可编程只读存储器
C. 可擦除可编程只读存储器
D. 掩膜只读存储器
14. 存储器容量为 $32K \times 16$ ，则_____
- A. 地址线为 16 根，数据线为 32 根 B. 地址线为 32 根，数据线为 16 根
C. 地址线为 15 根，数据线为 16 根 D. 地址线为 16 根，数据线为 15 根
15. 某计算机字长为 32 位，存储器容量为 4MB，如果按字编址，寻址范围是 0 到_____
- A. $2^{20}-1$ B. $2^{21}-1$ C. $2^{23}-1$ D. $2^{24}-1$
16. 下述说法正确的是（）
- A. EPROM 是可改写的，因而也是随机存储器的一种
B. EPROM 是可改写的，但它不能用作随机存储器用
C. EPROM 只能改写一次，故不能作为随机存储器用
D. EPROM 是只能改写一次的只读存储器
17. 在主存和 CPU 之间增加高速缓冲存储器的目的是（）
- A. 解决 CPU 和主存之间的速度匹配问题 B. 扩大主存容量
C. 扩大 CPU 通用寄存器的数目 D. 即扩大主存容量又扩大 CPU 中通过寄存器的数量
18. 常用的虚拟存储器寻址系统由（）两级
- A. 主存—辅存 B. Cache—主存 C. Cache—辅存 D. 控件—主存
19. 某存储器芯片的存储容量为 $8K \times 8$ 位，则它的地址线和数据线引脚相加的和为 _____。
- A. 21 B. 20 C. 18 D. 16
20. 某计算机字长 32 位，其存储容量为 32KB，若按字编址，那么它的寻址范围是_____。
- A. 32K B. 16K C. 8K D. 32KB
21. 和内存存储器相比，外存储器的特点是_____。

- A. 容量大, 速度快, 成本低 B. 容量大, 速度慢, 成本低
C. 容量小, 速度快, 成本高 D. 容量小, 速度快, 成本低
22. 在 cache 的地址映射中, 若主存中的任意一块均可映射到 cache 内的任意一块的位置上, 则这种方法称为_____。
- A. 全相联映射 B. 直接映射 C. 组相联映射 D. 混合映射
23. 某计算机字长是 32 位, 它的存储容量是 256KB, 按字编址, 它的寻址范围是_____。
- A. 128K; B. 64K; C. 64KB; D. 128KB。
24. 多体并行交叉存储器实际上是一种 () 的存储器, 它能 () 执行多个独立的读/写操作
- A. 模块式、串行 B. 整体式、串行
C. 模块式、并行 D. 整体式、并行
25. 用存储容量为 $16K \times 1$ 位的存储器芯片来组成一个 $64K \times 8$ 位的存储器, 则在字方向和位方向分别扩展了 () 倍
- A. 8、4 B. 2、4 C. 4、8 D. 4、2
26. 某计算机字长 32 位, 其存储容量为 4MB, 若按字编址, 它的寻址范围是_____。
- A. 1M B. 4MB C. 4M D. 1MB
27. 和外存储器相比, 主存的特点是_____。
- A. 容量大, 速度快, 成本低 B. 容量大, 速度慢, 成本低
C. 容量小, 速度快, 成本高 D. 容量小, 速度快, 成本低
28. 某一 RAM 芯片, 其容量为 512×8 位, 除电源和接地端外, 该芯片出线最少数目是_____。
- A. 21 B. 17 C. 19 D. 25
29. 程序员编程所用到的地址叫做_____。
- A. 逻辑地址 B. 真实地址 C. 物理地址 D. 以上都不是
30. 假设某计算机的存储系统由 Cache 和主存组成, 某程序执行过程中访存 1000 次, 其中访问 Cache 缺失 (未命中) 50 次, 则 Cache 的命中率为_____
- A. 9.5% B. 95% C. 50% D. 5%
31. 某存储器容量为 64KB, 其中 ROM 区为 4KB, 其余为 RAM 区, 按字节编址, 现要用 $2K \times 8$ 位的 ROM 芯片和 $4K \times 4$ 位的 RAM 芯片进行设计, 则需要上述规格的 ROM 芯片和 RAM 芯片的数量为 () 【2009 考题】
- A. 1、30 B. 1、15 C. 2、15 D. 2、30

32. 有效容量为 128KB 的 Cache，每块 16B，采用 8 路组相联，字节地址为 1234567H 的单元调入该 Cache，则其 Tag 应为（）

- A. 1234H B. 2468H C. 12345H D. 048DH

33. 若内存地址区间为 4000H-43FFH，每个存储单元可存储 16 位二进制数，该内存区域用 4 片存储器芯片构成，则构成该内存所用的存储器芯片的容量是（）

- A. $256 \times 16\text{bit}$ B. $1024 \times 8\text{bit}$ C. $512 \times 16\text{bit}$ D. $256 \times 8\text{bit}$

34. 内存按字节编址，地址从 90000H 到 CFFFFH，若用存储容量为 $16\text{K} \times 8$ 位芯片构成该内存，至少需要的芯片数是（）。

- A. 2 B. 4 C. 8 D. 16

35. 某存储器容量为 64KB，按字节编址，地址 4000H~5FFFH 为 ROM 区，其余为 RAM 区，若采用 $8\text{K} \times 4$ 位的 SRAM 芯片进行设计，则需要该芯片的数量为_____。

- A. 7 B. 8 C. 14 D. 16

（二）填空题

1. 一个 512KB 的存储器，其地址和数据线的总和是_____。
2. 衡量存储器性能的指标主要有 3 个：_____、_____和_____。
3. 有一个 $1024\text{K} \times 32$ 位的存储器，由 $128\text{K} \times 8$ 位的 DRAM 构成。问：总共需要_____个 DRAM 芯片。
4. 在缓存-主存层次的存储系统中，存储管理常用的替换算法是_____和_____，前者命中率高。
5. 某计算机字长 32 位，其存储容量为 256MB，若按单字编址，它的寻址范围是_____。
6. 虚拟存储器通常由_____和_____两级组成。
7. 一个容量为 $16\text{M} \times 8$ 位的 DRAM 芯片，其地址线有_____条，数据线有_____条，地址范围是_____H 到_____H（均用十六进制表示）
8. 假设 CPU 执行某段程序，共访问 Cache 命中 2000 次，访问主存 50 次。已知 Cache 的存取周期是 50ns，主存的存取周期是 200ns。Cache-主存系统的命中率为_____、平均访问时间为_____。

二、简答题。

画出存储系统的层次结构，并简述存储系统的工作原理。

三、分析与设计题：

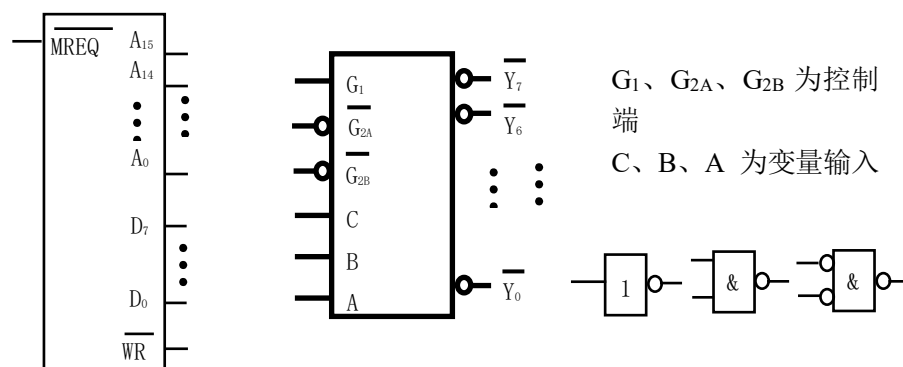
1. 已知某 8 位机的主存采用半导体存储器，地址码为 18 位，采用 $4K \times 4$ 位的 SRAM 芯片组成该机所允许的最大主存空间，并选用模块条形式，问：

- (1) 若每个模块条为 $32K \times 8$ 位，共需几个模块条？
- (2) 每个模块条内有多少片 RAM 芯片？
- (3) 主存共需多少 RAM 芯片？CPU 需使用几根地址线来选择各模块？使用何种译码器？

2. 设 CPU 共有 16 根地址线，8 根数据线，并用 $\overline{MREQ}$ (低电平有效) 作访存控制信号， $R/\overline{W}$ 作读/写命令信号（高电平为读，低电平为写）。现有存储芯片： $1K \times 4$ 位 SRAM； $4K \times 8$ 位 SRAM； $8K \times 8$ 位 SRAM； $2K \times 8$ 位 ROM； $4K \times 8$ 位 ROM； $8K \times 8$ 位 ROM；及 74138 译码器和其他门电路（门电路自定）。试从上述规格中选用合适的芯片，画出 CPU 和存储芯片的连接图（注意分步进行）。要求如下： $6000H \sim 67FFH$ 为系统程序区（ROM）， $6800H \sim 6BFFH$ 地址范围为用户程序区（RAM）。

- (1) 写出二进制地址码，给出地址范围。
- (2) 指出选用的存储芯片类型及数量。
- (3) 画出 CPU 与存储器的连接图。

附：CPU、74138 译码器和门电路图



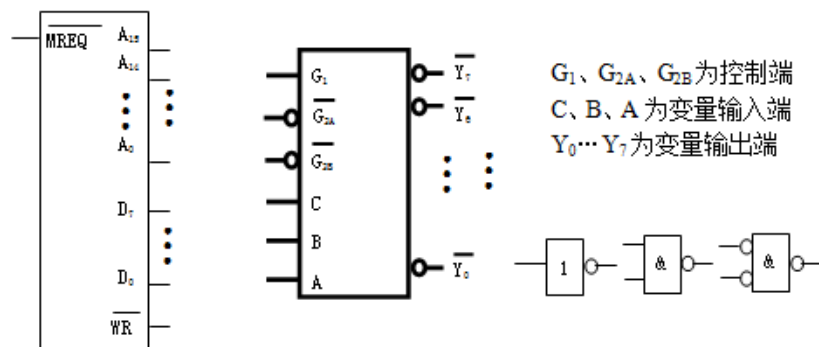
3. 设 CPU 有 16 根地址线，8 根数据线，用 MREQ# 作访存控制信号（低电平有效），R/W# 作读/写控制信号（高电平为读，低电平为写）。现有下列存储芯片：1K×4 位 SRAM；4K×8 位 SRAM；8K×8 位 SRAM；2K×8 位 ROM；4K×8 位 ROM；8K×8 位 ROM；及 3：8 译码器和各种门电路。主存的地址空间满足下述条件：

（1）最小 8K 地址为系统程序区（ROM 区），与其相邻的 16K 地址为用户程序区（RAM 区），最大 4K 地址空间为系统程序区（ROM 区）。

（2）请画出存储芯片的片选逻辑，存储芯片的种类、片数

（3）画出 CPU 与存储器的连接图。

附：CPU、74138 译码器和门电路图



4. 设 CPU 共有 16 根地址线，8 根数据线，并用 MREQ(低电平有效)作访存控制信号，R/W 作读/写命令信号（高电平为读，低电平为写）。现有这些存储芯片：ROM（2K×8 位，4K×4 位，8K×8 位），RAM（1K×4 位，2K×8 位，4K×8 位）及 74138 译码器和其他门电路（门电路自定）。试从上述规格中选用合适的芯片，画出 CPU 和存储芯片的连接图（注意分步进行）。要求如下：

（1）最小 4K 地址为系统程序区，4096~16383 地址范围为用户程序区

（2）指出选用的存储芯片类型及数量

（3）详细画出片选逻辑

附：CPU、74138 译码器和门电路图

